

Aufgabe 9.2 (Punkte 10+10)

D-Latch und D-Flipflop: Wir betrachten das pegelgesteuerte D-Latch (*high-aktiv*) und das vorderflankengesteuerte D-Flipflop. Wir nehmen an, dass die beiden Flipflops jeweils eine Zeiteinheit benötigen, bis ihr neuer Ausgangswert Q am Ausgang anliegt.

Vervollständigen Sie die Impulsdiagramme für den angegebenen Verlauf des Taktsignals C und des Eingangssignals D . Wann werden dabei Zeitbedingungen verletzt? *Vorderflanken*



Pegelgesteuertes D-Flipflop (D-Latch)

10.4.2 Schaltwerke - Flipflops - D-Latch

64-040 Rechnerstrukturen und Betriebssysteme

- ▶ Takteingang C
- ▶ Dateneingang D
- ▶ aktueller Zustand Q , Folgezustand Q^+

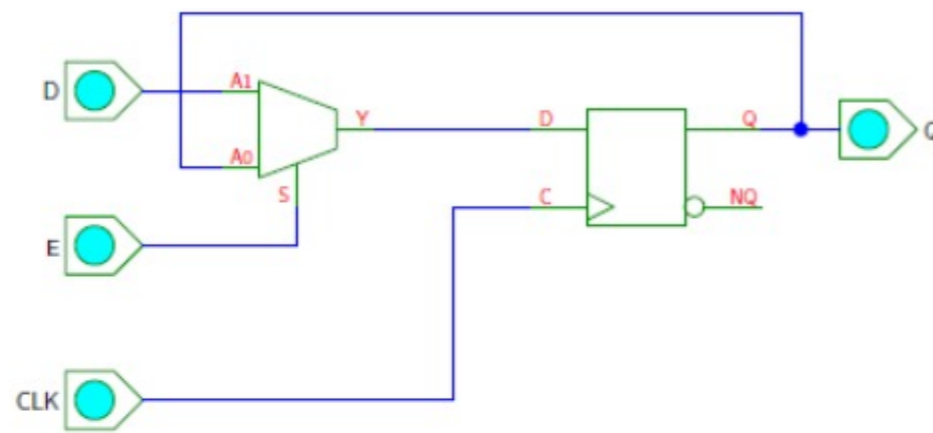
C	D	Q^+
0	0	Q
0	1	Q
1	0	0
1	1	1

- ▶ Wert am Dateneingang wird durchgeleitet, wenn das Taktsignal
1 ist \Rightarrow *high-aktiv*
0 ist \Rightarrow *low-aktiv*

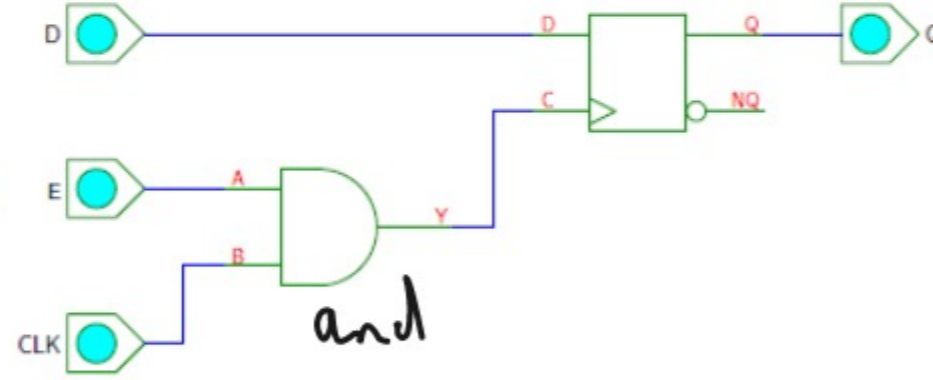
Aufgabe 9.3 (Punkte 10+5+5)

D-Flipflop Schaltungsvarianten: Wir betrachten zwei Schaltungen mit jeweils einem vorderflankengesteuerten D-Flipflop:

1. Flipflop mit Multiplexer



2. Flipflop mit Taktausblendung



(a) Ermitteln Sie für beide Schaltungen die Flusstafel (mit dem Ausgangszustand Q^+ als Funktion des aktuellen Zustands Q und der Eingangswerte D , E und CLK . Verwenden Sie ggf. einen Pfeil nach oben als Symbol für eine Taktflanke.

D	E	CLK	Q^+
0	0	0	Q
...

Multiplexer

A0	A1	S	Y
0	*	0	0
*	0	1	0

AND

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Flipflop mit Taktausblendung

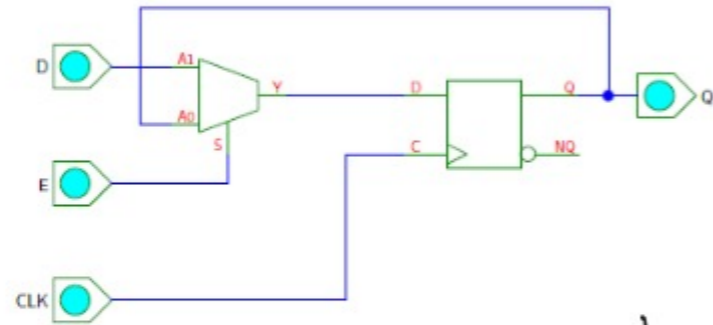
CLK	E	Y	D	Q^+
*	0	0	*	Q
0	1	0	*	Q
↑1	1	1	0	0
↑1	1	1	1	1
1	1	1	*	Q
1	↑	↑	0	0
1	↑	↑	1	1

Aufgabe 9.3 (Punkte 10+5+5)

D-Flipflop Schaltungsvarianten: Wir betrachten zwei Schaltungen mit jeweils einem vorderflankengesteuerten D-Flipflop:

Aufgabe 9.3 (Punkte 10+5)

D-Flipflop Schaltungsvarianten: Wir betrachten zwei Schaltungen mit jeweils einem vorderflankengesteuerten D-Flipflop:



1. Flipflop mit Multiplexer

CLK	D	E	Y	Q^+
0	*	*	*	Q
1	*	*	*	Q
\uparrow 1	0	1	0	0
\uparrow 1	1	1	1	1
\uparrow 1	*	0	Q	Q

(b) Beide Schaltungen haben eine ähnliche Funktion. Wofür würde man diese Schaltungen einsetzen?

(c) Diskutieren Sie kurz Vor- und Nachteile beider Varianten. Welche spezielle Eigenschaft muss E erfüllen, damit die zweite Variante genutzt werden kann?

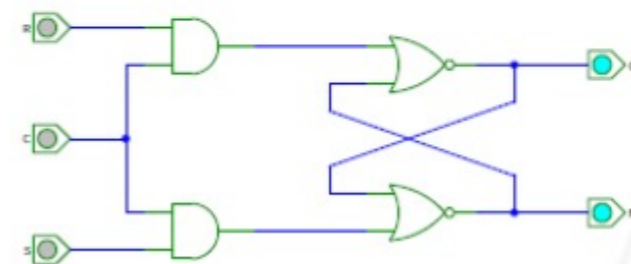
RS-Flipflop mit Takt

10.4.1 Schaltwerke - Flipflops - RS-Flipflop

64-040 Rechnerstrukturen und Betriebssysteme

- ▶ RS-Basisflipflop mit zusätzlichem Takteingang C
- ▶ Änderungen nur wirksam, während C aktiv ist

▶ Struktur



C	S	R	Q	NQ	NOR
0	X	X	Q^+	NQ^+	store
1	0	0	Q^+	NQ^+	store
1	0	1	0	1	
1	1	0	1	0	
1	1	1	0	0	forbidden

Antwort b)

Der Eingang *Enable* dient dazu, das Einspeichern eines neuen Werts bei einer Vorderflanke auf dem Takteingang zu unterbinden. Nur bei einer 1 am Enable-Eingang wird der Wert, der am D-Eingang anliegt, mit der nächsten Vorderflanke des Taktes wirklich übernommen.

c)

(c) Diskutieren Sie kurz Vor- und Nachteile beider Varianten. Welche spezielle Eigenschaft muss *E* erfüllen, damit die zweite Variante genutzt werden kann?

Flipflop mit Taktausblendung

CLK	E	Y	D	Q ⁺
*	0	0	*	Q
0	1	0	*	Q
↑	1	1	0	0
↑	1	1	1	1
1	1	1	*	Q
1	↑	↑	0	0
1	↑	↑	1	1

Das passiert bei Variante 1 nicht!

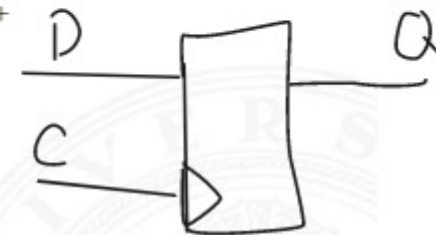
Flankengesteuertes D-Flipflop

10.4.3 Schaltwerke - Flipflops - D-Flipflop

64.040 Rechnerstrukturen und Betriebssysteme

- ▶ Takteingang *C*
- ▶ Dateneingang *D*
- ▶ aktueller Zustand *Q*, Folgezustand *Q⁺*

C	D	Q ⁺
0	*	Q
1	*	Q
↑	0	0
↑	1	1



- ▶ Wert am Dateneingang wird gespeichert, wenn das Taktsignal sich von 0 auf 1 ändert ⇒ Vorderflankensteuerung
- 1 auf 0 ändert ⇒ Rückflankensteuerung
- ▶ Realisierung als Master-Slave Flipflop oder direkt